

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-154169

(43)Date of publication of application : 12.07.1986

(51)Int.Cl. H01L 29/78
 H01L 21/28
 H01L 21/76
 // H01L 21/316

(21)Application number : 59-276863

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.12.1984

(72)Inventor : YODA SEIICHI

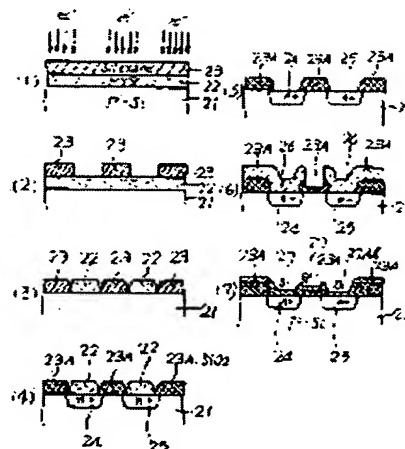
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce the number of mask aligning processes and to make the processes suitable for forming a high density element, by omitting the reoxidation of a gate part.

CONSTITUTION: On the entire surface of a p-Si substrate 21, a PSG layer 22 and siloxane resist 23 are deposited. then, electron beams are projected on a part other than source and drain regions. The device is developed, and the PSG layer 22 is exposed. By inverted etching, the PSG layer 22 beneath the siloxane resist 23 is removed. Then, the device is heated, and the siloxane resist 23 is converted into an SiO₂ layer 23A. P is selectively diffused into the substrate 21 through the PSG layer 22, and n⁺ type source and drain regions 24 and 25 are formed. The PSG layer is selectively etched and removed by the speed difference in wet etching. By using resist 26, the SiO₂ layer 23A is etched and made thin, and a gate oxide film is obtained. An aluminum layer 27 is deposited on the entire surface of the substrate.

The layer is patterned, and an Al wiring is formed. Thus a gate electrode G, a source electrode S and a drain electrode D are obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-154169

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)7月12日

H 01 L 29/78

21/28

21/76

// H 01 L 21/316

8422-5F

7638-5F

7131-5F

6708-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑰ 特 願 昭59-276863

⑱ 出 願 昭59(1984)12月27日

⑲ 発 明 者 養 田 聖 一 川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

㉑ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上に導電型に寄与する不純物を含む不純物ガラス層とシロキサン樹脂よりなるレジストを被着し、ソース、およびドレイン領域の該レジストを開口する工程と、該レジストの下に該不純物ガラス層のみ反転エッチングして除去する工程と、加熱して該レジストを二酸化珪素膜に変換し、かつ該不純物ガラス層より該半導体基板内に不純物を拡散してソース、およびドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は工程数の少ないMOS・ICの製造方法に関する。

MOS・ICは電界効果トランジスタ(FET)により構成され、現在では半導体産業の中で

最大の比率を占め、高集積化、高密度化の進展に伴い、歩留りと信頼性の確保上工程の簡素化が必須となっている。

(従来の技術)

第2図(1)乃至(8)は従来例によるFETの製造工程を工程順に示す基板断面図である。

第2図(1)において、p型珪素(p-Si)基板1の表面に熱酸化による二酸化珪素(SiO₂)層2を形成する。

第2図(2)において、通常のリソグラフィ工程によりSiO₂層2をパターニングして、ソース、およびドレイン領域のSiO₂層2を除去する。

第2図(3)において、パターニングして残ったSiO₂層2をマスクにして選択拡散を行い、n⁺型のソース、およびドレイン領域3と4を形成し、その表面を酸化する。

第2図(4)において、SiO₂層2をパターニングして、ゲート部のSiO₂層2を除去する。

第2図(5)において、ゲート部を再酸化してゲート酸化膜を形成する。

第2図(6)において、基板表面の酸化膜をバターンニングして、ソース、およびドレイン部の酸化膜を除去する。

第2図(7)において、基板全面にアルミニウム(A1)層を被着する。

第2図(8)において、A1層5をバターンニングしてA1配線を形成し、ゲート電極Gと、ソース電極Sと、ドレイン電極Dとする。

第3図(1)乃至(7)は他の従来例によるセルフアラインを採用したFETの製造工程を工程順に示す基板断面図である。

第3図(1)において、p-Si基板11の表面に耐酸化膜になる窒化珪素(Si_3N_4)層12を被着し、この層をバターンニングして素子形成領域を残す。

第3図(2)において、 Si_3N_4 層12をマスクにして選択酸化を行い、素子形成領域を画定するフィールド酸化膜として SiO_2 層13を形成し、その後 Si_3N_4 層12を除去する。

第3図(3)において、基板全面にゲート酸化膜として SiO_2 層14と、多結晶珪素(ポリSi)層15を被

着し、ポリSi層15をバターンニングしてゲート部のみ残りゲートとする。

第3図(4)において、ゲート15の下ゲート酸化膜を残して SiO_2 層14を除去する。

第3図(5)において、ゲート15をマスクにしてイオン注入、あるいは拡散によりn⁺型のソース、およびドレイン領域3と4を形成する。

第3図(6)において、基板全面にパッシベーション層として珪酸ガラス(PSG)層18を被着する。

第3図(7)において、PSG層18をバターンニングして、電極取り出し用のコンタクトホールを形成する。

つぎに基板全面にアルミニウムA1層19を被着し、この層をバターンニングしてA1配線を形成し、ゲート電極Gと、ソース電極Sと、ドレイン電極Dとする。

(発明が解決しようとする問題点)

第2図の従来例では、ゲート部の再酸化が必要であり、マスク合わせの必要なバターンニングの工

程が多く、そのためバターンニングの精度は悪くなり高密度の素子形成には適さない。

第3図の従来例では、ソース、およびドレイン領域の形成にマスク合わせの工程を必要としないセルフアラインの工程を採用し、ゲートのポリSiをマスクにしたイオン注入により行う。そのためバターンニングの工程数は減り、またセルフアラインにより高密度の素子形成に適するが、イオン注入の際ゲート酸化膜への影響がある。

(問題点を解決するための手段)

上記問題点の解決は、半導体基板上に導電型に寄与する不純物を含む不純物ガラス層とシロキサン樹脂よりなるレジストを被着し、ソース、およびドレイン領域の該レジストを開口する工程と、該レジストの下に該不純物ガラス層のみ反転エッチングして除去する工程と、加熱して該レジストを二酸化珪素膜に変換し、かつ該不純物ガラス層より該半導体基板内に不純物を拡散してソース、およびドレイン領域を形成する工程とを含む本発明による半導体装置の製造方法により達成するこ

とができる。

(作用)

本発明によれば、ソース、およびドレイン領域形成にシロキサン樹脂よりなるレジストを用い、バターンニングして残ったシロキサンレジストをそのまま二酸化珪素膜に変換してゲート酸化膜とフィールド酸化膜に使用するため工程は極めて簡素化される。

この工程においては、不純物ガラス層上にバターンニングされたシロキサンレジストを被着した基板に対し、露出した部分の不純物ガラス層はエッチングされないで、シロキサンレジストの下側の不純物ガラス層のみをエッチングする、いわゆる反転エッチングを用いる。

(実施例)

第1図(1)乃至(7)は本発明によるFETの製造工程を工程順に示す基板断面図である。

第1図(1)において、p-Si基板21の表面全面に、導電型に寄与する不純物を含む不純物ガラス層としてn型不純物磷(P)を含むPSG層22と、シロ

キサンレジスト23を被着する。

つぎに電子ビーム(E_B)露光を行い、ソース、およびドレイン領域以外の部分に電子線を照射する。

第1図(2)において、露光されたシロキサンレジスト23を現像し、ソース、およびドレイン領域を開口して、PSG層22を露出させる。

第1図(3)において、弗酸(HF)ガスを用いた反転エッチングにより、シロキサンレジスト23の下部にあるPSG層22を除去する。

第1図(4)において、600℃以上に加熱して、シロキサンレジスト23をSiO₂層23Aに変換すると同時に、PSG層22より基板21にPが選択拡散されてn⁺型のソース、およびドレイン領域24と25を形成する。

第1図(5)において、ウェットエッチングの速度差によりPSG層22を選択エッチングして除去する。

選択エッチングはHF系のエッチャントを用いて行う。

第1図(6)において、通常のリソグラフィ工程を用い、レジスト26を基板全面に塗布し、ゲート部をパターニングして開口し、SiO₂層23Aをエッチングして薄くし、ゲート酸化膜とする。

第1図(7)において、基板全面にアルミニウムAl層27を被着し、この層をパターニングしてAl配線を形成し、ゲート電極Gと、ソース電極Sと、ドレイン電極Dとする。

以上により、本発明の方法による主要な工程を終わる。

(発明の効果)

以上詳細に説明したように本発明によれば、ゲート部の再酸化を必要としないで、マスク合わせの必要なパターニングの工程数が少なく、そのためパターニングの精度は良く高密度の素子形成には適する。

またソース、およびドレイン領域の形成時にゲート酸化膜への影響がない。

4. 図面の簡単な説明

第1図(1)乃至(7)は本発明によるFETの製造工

程を工程順に示す基板断面図、

第2図(1)乃至(6)は従来例によるFETの製造工程を工程順に示す基板断面図、

第3図(1)乃至(7)は他の従来例によるセルフアラインを採用したFETの製造工程を工程順に示す基板断面図である。

図において、

21はp-Si基板、

22は不純物ガラス層でPSG層、

23はシロキサンレジスト、

23AはSiO₂層、

24はソース領域、

25はドレイン領域、

26はレジスト、27はAl層、

Gはゲート電極、Sはソース電極、

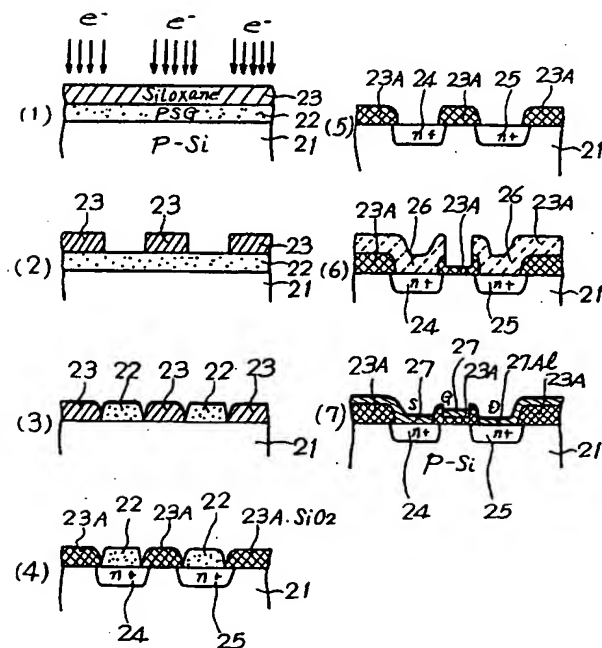
Dはドレイン電極

を示す。

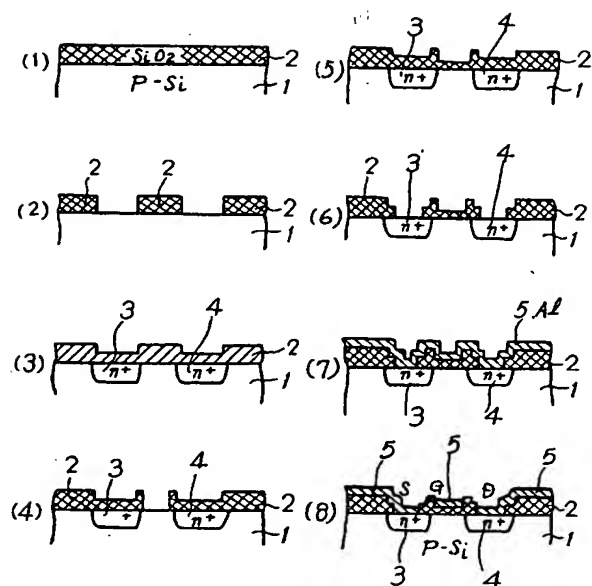
代理人 弁理士 松岡宏四郎



第1図



第 2 図



第 3 図

